

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Yasushi AOKI  
Appl. No.: NEW NONPROVISIONAL  
Filed: September 29, 2003  
Title: DIFFERENTIAL OUTPUT CIRCUIT FOR IMPROVING  
BANDWIDTH

CLAIM TO PRIORITY

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

September 29, 2003

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-287929	September 30, 2002

Certified copy(ies) of the above-noted application(s) is(are) attached hereto..

Respectfully submitted,

YOUNG & THOMPSON



\_\_\_\_\_  
Benoit Castel, Reg. No. 35,041

745 South 23<sup>rd</sup> Street  
Arlington, VA 22202  
Telephone (703) 521-2297

BC/maf

Attachment(s): 1 Certified Copy(ies)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

875  
US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 9月30日

出 願 番 号  
Application Number:

特願2002-287929

[ ST.10/C ]:

[ JP2002-287929 ]

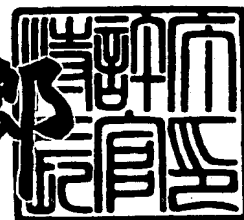
出 願 人  
Applicant(s):

NECエレクトロニクス株式会社

2003年 5月13日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034367

【書類名】 特許願

【整理番号】 71110566

【提出日】 平成14年 9月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/0948

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

    【氏名】 青木 泰

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100102864

    【弁理士】

    【氏名又は名称】 工藤 実

【選任した代理人】

    【識別番号】 100099553

    【弁理士】

    【氏名又は名称】 大村 雅生

【手数料の表示】

    【予納台帳番号】 053213

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9715177

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 差動出力回路、及びそれを用いた回路

【特許請求の範囲】

【請求項1】 第1入力信号が入力される第1入力端子と、  
前記第1入力信号の否定論理である第2入力信号が入力される第2入力端子と

第1NチャネルMISFET (Metal Insulator Semiconductor Field Effect Transistor) と、

第2NチャネルMISFETと、

第1PチャネルMISFETと、

第2PチャネルMISFETと、

第1出力端子と、

第2出力端子と、

前記第1出力端子と前記第2出力端子の間に介設された抵抗素子  
とを備え、

前記第1NチャネルMISFETのソースは、前記第1入力端子に接続され、  
前記第1NチャネルMISFETのゲートには、電源電位が供給され、  
前記第1NチャネルMISFETのドレインは、前記第1出力端子に接続され

前記第2NチャネルMISFETのソースは、前記第2入力端子に接続され、  
前記第2NチャネルMISFETのゲートには、前記電源電位が供給され、  
前記第2NチャネルMISFETのドレインは、前記第2出力端子に接続され

前記第1PチャネルMISFETと前記第2PチャネルMISFETのソース  
とには、前記電源電位が供給され、

前記第1PチャネルMISFETのゲートは、前記第2入力端子に接続され、  
前記第1PチャネルMISFETのドレインは、前記第1出力端子に接続され

前記第2PチャネルMISFETのゲートは、前記第1入力端子に接続され、

前記第2 PチャネルMISFETのドレインは、前記第2 出力端子に接続された

差動出力回路。

【請求項2】 第1入力信号が入力される第1入力端子と、  
前記第1入力信号の否定論理である第2入力信号が入力される第2入力端子と

第1 NチャネルMISFETと、

第2 NチャネルMISFETと、

第1 PチャネルMISFETと、

第2 PチャネルMISFETと、

第1 出力端子と、

第2 出力端子と、

抵抗素子と、

誘導素子

とを備え、

前記第1 NチャネルMISFETのソースは、前記第1入力端子に接続され、

前記第1 NチャネルMISFETのゲートには、電源電位が供給され、

前記第1 NチャネルMISFETのドレインは、前記第1 出力端子に接続され

前記第2 NチャネルMISFETのソースは、前記第2入力端子に接続され、

前記第2 NチャネルMISFETのゲートには、前記電源電位が供給され、

前記第2 NチャネルMISFETのドレインは、前記第2 出力端子に接続され

前記第1 PチャネルMISFETと前記第2 PチャネルMISFETのソース  
とには、前記電源電位が供給され、

前記第1 PチャネルMISFETのゲートは、前記第2入力端子に接続され、

前記第1 PチャネルMISFETのドレインは、前記第1 出力端子に接続され

前記第2 PチャネルMISFETのゲートは、前記第1入力端子に接続され、

前記第2 PチャネルMISFETのドレインは、前記第2出力端子に接続され

前記抵抗素子と前記誘導素子とは、前記第1出力端子と前記第2出力端子との間に直列に介設された

差動出力回路。

【請求項3】 請求項2に記載の差動出力回路において、

前記誘導素子は、

第1誘導素子と、

インダクタンスが前記第1誘導素子と実質的に等しい第2誘導素子

を含み、

前記第1誘導素子は、前記抵抗素子の一の端子と前記第1出力端子との間に介設され、

前記第2誘導素子は、前記抵抗素子の他の端子と前記第2出力端子との間に介設された

差動出力回路。

【請求項4】 請求項2に記載の差動出力回路において、

前記抵抗素子は、

第1抵抗素子と、

抵抗が前記第1抵抗素子と実質的に等しい第2抵抗素子

を含み、

前記第1抵抗素子は、前記誘導素子の一の端子と前記第1出力端子との間に介設され、

前記第2抵抗素子は、前記誘導素子の他の端子と前記第2出力端子との間に介設された

差動出力回路。

【請求項5】 第1入力信号が入力される第1入力端子と、

前記第1入力信号の否定論理である第2入力信号が入力される第2入力端子と

第1出力端子と、

第2出力端子と、

前記第1入力信号と前記第2入力信号とに応答して、前記第1出力端子に第1出力信号を出力し、前記第2出力端子に前記第1出力信号の否定論理である第2出力信号を出力する出力回路と、

前記第1出力端子と前記第2出力端子との間に介設された誘導素子とを備えた

差動出力回路。

【請求項6】 請求項5に記載の差動出力回路において、

前記差動出力回路は、

第1NチャネルMISFETと、

第2NチャネルMISFETと、

第1PチャネルMISFETと、

第2PチャネルMISFETと、

とを備え、

前記第1NチャネルMISFETのソースは、前記第1入力端子に接続され、

前記第1NチャネルMISFETのゲートには、電源電位が供給され、

前記第1NチャネルMISFETのドレインは、前記第1出力端子に接続され

前記第2NチャネルMISFETのソースは、前記第2入力端子に接続され、

前記第2NチャネルMISFETのゲートには、前記電源電位が供給され、

前記第2NチャネルMISFETのドレインは、前記第2出力端子に接続され

前記第1PチャネルMISFETと前記第2PチャネルMISFETのソース  
とには、前記電源電位が供給され、

前記第1PチャネルMISFETのゲートは、前記第2入力端子に接続され、

前記第1PチャネルMISFETのドレインは、前記第1出力端子に接続され

前記第2PチャネルMISFETのゲートは、前記第1入力端子に接続され、

前記第2PチャネルMISFETのドレインは、前記第2出力端子に接続され

た

差動出力回路。

【請求項 7】 請求項 5 又は請求項 6 に記載の差動出力回路と、

前記第 1 入力信号として、第 1 クロック信号を供給し、前記第 2 入力信号として、前記第 1 クロック信号と相補である第 2 クロック信号を供給する論理回路とを備えた

回路。

【請求項 8】 請求項 5 又は請求項 6 に記載の差動出力回路と、

前記第 1 入力信号として、第 1 正弦波信号を供給し、前記第 2 入力信号として、前記第 1 正弦波信号と位相が  $\pi$  だけずれた第 2 正弦波信号を供給する論理回路とを備えた

回路。

【請求項 9】 請求項 1、請求項 2、請求項 6 に記載の差動出力回路と、

前記第 1 入力信号と前記第 2 入力信号とを供給する論理回路とを備え、

前記論理回路は、

前記第 1 入力信号のプルアップに使用されるプルアップ N チャネル MISFET と、

前記第 2 入力信号のプルアップに使用されるプルアップ N チャネル MISFET

とを含む

回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、差動出力回路に関する。本発明は、特に、互いに相補である 2 つの入力信号が入力され、該入力信号に応答して互いに相補である 2 つの出力信号を出力する差動出力回路に関する。

【0002】



## 【従来の技術】

半導体集積回路には、互いに相補である2つの入力信号が入力され、該入力信号に応答して互いに相補である2つの出力信号を出力する差動出力回路が組み込まれることがある。差動出力回路は、製造バラツキの影響を受けにくく、更に、ノイズに強い。このような利点を有する差動出力回路は、携帯電話の送受信回路を初めとして、広い用途で使用される。

## 【0003】

差動出力回路は、出力端子と該出力端子に接続される負荷とのインピーダンス整合性が確保され、出力端子から出力される出力信号の波形歪みが防止されることが望まれる。特許文献1は、差動出力回路のインピーダンス整合性を確保し、出力信号の波形歪みを防止するために、差動出力回路を構成する電界効果トランジスタの寄生容量が出力端子に与える悪影響をインダクタンス素子（誘導素子）を用いて防止することを開示している。

## 【0004】

更に、差動出力回路の動作を高速化するために、差動出力回路にパストランジスタロジックを採用する技術が特許文献2に開示されている。論理ゲートの入力としてゲートだけでなく、ソースあるいはドレインをも用いるパストランジスタロジックは、動作の高速化が可能である以外にも、消費電力を低減でき、トランジスタ数が少ないという利点をも有している。

## 【0005】

図8は、特許文献2に開示された差動出力回路を示している。公知のその差動出力回路102は、互いに相補である2つの信号P、 $\neg$ Pを出力する論理回路101とともに使用される。論理回路101は、NチャネルMOSトランジスタ（Metal Oxide Semiconductor Transistor）MN13～MN20によって構成されている。論理回路101には、入力IA及び入力IBと、それらの否定論理である入力 $\neg$ IA、 $\neg$ IBとが入力される。論理回路101は、入力IA及び入力IBの排他的論理和を信号Pとして出力し、出力信号Pの否定論理を信号 $\neg$ Pとして出力する。

## 【0006】

差動出力回路102は、PチャネルMOSトランジスタMP11, 12を使用するにも関わらず、その動作は高速である。一般に、PチャネルMOSトランジスタは、その動作がNチャネルMOSトランジスタよりも遅いという特性を有する。従って、PチャネルMOSトランジスタを使用して信号のプルアップを行うことは、高速動作の実現のためには不利である。しかし、図8に開示された出力回路では、出力信号O、出力信号/Oのプルアップが、PチャネルMOSトランジスタMP11, 12に加えて、出力信号P及び出力信号/Pをプルアップするトランジスタ（即ち、NチャネルMOSトランジスタMN13）によって行われるため、ある程度高速に出力信号O、出力信号/Oのプルアップを行うことができる。

【0007】

【特許文献1】

特開平9-162653号公報

【特許文献2】

特公平7-16158号公報

【0008】

差動出力回路は、その周波数帯域幅が広いことが望まれる。

【0009】

更に、差動出力回路は、一層に高い周波数で動作可能であることが望まれる。

【0010】

【発明が解決しようとする課題】

本発明の目的は、周波数帯域幅が広い差動出力回路を提供することにある。

【0011】

本発明の他の目的は、高い周波数で動作可能な差動出力回路を提供することにある。

【0012】

【課題を解決するための手段】

以下に、【発明の実施の形態】で使用される番号・符号を用いて、上記の目的を達成するための手段を説明する。これらの番号・符号は、【特許請求の範囲】

の記載と「発明の実施の形態」の記載との対応関係を明らかにするために付加されている。但し、付加された番号・符号は、「特許請求の範囲」に記載されている発明の技術的範囲の解釈に用いてはならない。

【0013】

本発明による差動出力回路(2)は、第1入力信号(NT)が入力される第1入力端子(21)と、第1入力信号(NT)の否定論理である第2入力信号(NB)が入力される第2入力端子(22)と、第1NチャネルMISFET(23)と、第2NチャネルMISFET(24)と、第1PチャネルMISFET(25)と、第2PチャネルMISFET(26)と、第1出力端子(29)と、第2出力端子(30)と、第1出力端子(29)と第2出力端子(30)の間に介設された抵抗素子(31)とを備えている。第1NチャネルMISFET(23)のソースは、第1入力端子(21)に接続され、第1NチャネルMISFET(23)のゲートには、電源電位( $V_{DD}$ )が供給され、第1NチャネルMISFET(23)のドレインは、第1出力端子(29)に接続されている。第2NチャネルMISFET(24)のソースは、第2入力端子(22)に接続され、第2NチャネルMISFET(24)のゲートには、電源電位( $V_{DD}$ )が供給され、第2NチャネルMISFET(24)のドレインは、第2出力端子(30)に接続されている。第1PチャネルMISFET(25)と第2PチャネルMISFET(26)のソースには、いずれも、電源電位( $V_{DD}$ )が供給されている。第1PチャネルMISFET(25)のゲートは、第2入力端子(22)に接続され、第1PチャネルMISFET(25)のドレインは、第1出力端子(29)に接続されている。第2PチャネルMISFET(26)のゲートは、第1入力端子(21)に接続され、第2PチャネルMISFET(26)のドレインは、第2出力端子(30)に接続されている。このような構成を有する差動出力回路(2)は、第1出力端子(29)と第2出力端子(30)の間に抵抗素子(31)が接続されていることにより、第1出力端子(29)及び第2出力端子(30)から、第1入力端子(21)及び第2入力端子(22)に負帰還がかかる負帰還ループが形成される。負帰還ループの形成は、差動出力回路(2)の周波数帯域を有効に拡大する。

## 【0014】

本発明による差動出力回路(2')は、第1入力信号(NT)が入力される第1入力端子(21)、第1入力信号(NT)の否定論理である第2入力信号(NB)が入力される第2入力端子(22)と、第1NチャンネルMISFET(23)と、第2NチャンネルMISFET(24)と、第1PチャンネルMISFET(25)と、第2PチャンネルMISFET(26)と、第1出力端子(29)と、第2出力端子(30)と、抵抗素子(31, 34, 36)と、誘導素子(32, 33, 35)とを備えている。第1NチャンネルMISFET(23)のソースは、第1入力端子(21)に接続され、第1NチャンネルMISFET(23)のゲートには、電源電位(VDD)が供給され、第1NチャンネルMISFET(23)のドレインは、第1出力端子(29)に接続されている。第2NチャンネルMISFET(24)のソースは、第2入力端子(22)に接続され、第2NチャンネルMISFET(24)のゲートには、電源電位(VDD)が供給され、第2NチャンネルMISFET(24)のドレインは、第2出力端子(30)に接続されている。第1PチャンネルMISFET(25)と第2PチャンネルMISFET(26)のソースには、電源電位(VDD)が供給されている。第1PチャンネルMISFET(25)のゲートは、第2入力端子(22)に接続され、第1PチャンネルMISFET(25)のドレインは、第1出力端子(29)に接続されている。第2PチャンネルMISFET(26)のゲートは、第1入力端子(21)に接続され、第2PチャンネルMISFET(26)のドレインは、第2出力端子(30)に接続されている。抵抗素子(31, 34, 36)と誘導素子(32, 33, 35)とは、第1出力端子(29)と第2出力端子(30)との間に直列に介設されている。このような差動出力回路(2')は、第1出力端子(29)と第2出力端子(30)の間に、抵抗素子(31, 34, 36)と誘導素子(32, 33, 35)とが直列に接続されていることにより、第1出力端子(29)及び第2出力端子(30)から、第1入力端子(21)及び第2入力端子(22)に負帰還がかかる負帰還ループが形成される。負帰還ループの形成は、差動出力回路(2')の周波数帯域を有効に拡大する。更に、第1出力端子(29)及び第2出力端子(30)に接続される回路の入力容量、及び第1出力端子(29)

及び第2出力端子(30)の寄生容量等から構成される容量性インピーダンスが、誘導素子(32, 33, 35)が有する誘導性インピーダンスによって補償される。このため、高周波領域におけるゲインの低下が抑制され、差動出力回路(2')の周波数帯域が一層に拡大される。

## 【0015】

誘導素子(31, 33)が、第1誘導素子(31)と、第1誘導素子(31)とインダクタンスが実質的に等しい第2誘導素子(33)とを含み、第1誘導素子(31)が、抵抗素子(31)の一の端子と第1出力端子(29)との間に介設され、第2誘導素子(33)が、抵抗素子(31)の他の端子と第2出力端子(30)との間に介設される回路構成は、差動出力回路(2')の回路構成を対称化し、第1出力端子(29)及び第2出力端子(30)から出力される出力信号の対称性を向上できる点で好適である。

## 【0016】

同様に、抵抗素子(34, 36)が、第1抵抗素子(34)と、抵抗が第1抵抗素子(34)と実質的に等しい第2抵抗素子(36)とを含み、第1抵抗素子(34)が、誘導素子(35)の一の端子と第1出力端子(29)との間に介設され、第2抵抗素子(36)が、誘導素子(35)の他の端子と第2出力端子(30)との間に介設される回路構成は、差動出力回路(2')の回路構成を対称化し、第1出力端子(29)及び第2出力端子(30)から出力される出力信号の対称性を向上できる点で好適である。

## 【0017】

本発明による差動出力回路(2'')は、第1入力信号(NT)が入力される第1入力端子(21)と、第1入力信号(NT)の否定論理である第2入力信号(NB)が入力される第2入力端子(22)と、第1出力端子(29)と、第2出力端子(30)と、第1入力信号(NT)と第2入力信号(NB)とに応答して、第1出力端子(29)に第1出力信号を出力し、第2出力端子(30)に第1出力信号の否定論理である第2出力信号を出力する出力回路と、第1出力端子(29)と第2出力端子(30)との間に介設された誘導素子(37)とを備えている。当該差動出力回路(2'')は、第1出力端子(29)及び第2出力端子(

30) に接続される回路の入力容量、及び第1出力端子(29)及び第2出力端子(30)の寄生容量等から構成される容量性インピーダンスと、誘導素子(32, 33, 35)が有する誘導性インピーダンスとが共振する共振周波数の近傍でゲインが高くなり、該共振周波数の近傍の周波数を有する信号を好適に増幅可能である。当該差動出力回路(2'')は、周期信号、例えば、高い周波数を有するクロック信号、正弦波信号の増幅に好適に使用される。

## 【0018】

上述の差動出力回路(2, 2', 2'')の使用は、第1入力信号(NT)と第2入力信号(NB)とのプリアップが、NチャネルMISFET(11, 13)によって行われる場合に、特に好適である。

## 【0019】

## 【発明の実施の形態】

以下、添付図面を参照しながら、本発明による差動出力回路の実施の形態を説明する。

## 【0020】

## (実施の第1形態)

図1は、本発明による差動出力回路実施の第1形態では、差動出力回路2が論理回路1とともに設けられている。差動出力回路2は、論理回路1に接続されている。論理回路1と差動出力回路2とは、一の半導体チップ上にモノリシックに集積化され、論理回路1と差動出力回路2とは、一の半導体集積回路を構成する。

## 【0021】

論理回路1は、入力信号ITと、入力信号ITの否定論理である入力信号IBとが供給され、該入力信号ITの正論理である信号NTと、その否定論理である信号NBとを出力するバッファ回路である。論理回路1は、NチャネルMOSFET (Metal Oxide Semiconductor Field Effect Transistor) 11~14と、電源電位 $V_{DD}$ を有する電源端子15, 17と、接地電位 $V_{SS}$ を有する接地端子16, 18とを含む。NチャネルMOSFET 11のドレインは、電源端子15に接続され、NチャネルMOSFET 11のソースは、NチャネルMOSFE

T12のドレインに接続されている。NチャネルMOSFET12のソースは、接地端子16に接続されている。NチャネルMOSFET13のドレインは、電源端子17に接続され、NチャネルMOSFET13のソースは、NチャネルMOSFET14のドレインに接続されている。NチャネルMOSFET14のソースは、接地端子18に接続されている。NチャネルMOSFET11とNチャネルMOSFET14のゲートには、入力信号ITが供給され、NチャネルMOSFET12とNチャネルMOSFET13のゲートには、入力信号ITの否定論理である入力信号IBとが供給される。信号NTは、NチャネルMOSFET11のソースから出力され、信号NBは、NチャネルMOSFET13のソースから出力される。

## 【0022】

差動出力回路2は、信号NT、及び信号NBの正論理を、それぞれ、出力信号OT、及び出力信号OBとして出力する。より詳細には、差動出力回路2は、入力端子21、22と、NチャネルMOSFET23、24と、PチャネルMOSFET25、26と、電源電位 $V_{DD}$ を有する電源端子27、28と、出力端子29、30と、抵抗素子31とを備えている。

## 【0023】

差動出力回路2の入力端子21には、論理回路1から信号NTが供給され、入力端子22には、論理回路1から信号NBが供給される。入力端子21は、NチャネルMOSFET23のソースに接続されている。NチャネルMOSFET23のゲートは、電源端子27に接続され、NチャネルMOSFET23のドレインは、出力端子29に接続されている。NチャネルMOSFET23のドレインは、更に、PチャネルMOSFET25のドレインに接続されている。PチャネルMOSFET25のソースは、電源端子27に接続され、PチャネルMOSFET25のゲートは、入力端子22に接続されている。

## 【0024】

入力端子22は、NチャネルMOSFET24のソースに接続されている。NチャネルMOSFET24のゲートには、電源端子28に接続され、NチャネルMOSFET24のドレインは、出力端子30に接続されている。NチャネルM

OSFET 24 のドレインは、更に、PチャネルMOSFET 26 のドレインに接続されている。PチャネルMOSFET 26 のソースは、電源端子 28 に接続され、PチャネルMOSFET 26 のゲートは、入力端子 21 に接続されている。

#### 【0025】

出力信号OTと出力信号OBとは、それぞれ、出力端子29と出力端子30とから出力される。この出力端子29と出力端子30との間には、抵抗素子31が介設されている。後述されるように抵抗素子31は、差動出力回路2の周波数帯域幅を広げる役割を果たす。

#### 【0026】

差動出力回路2は、以下の動作により、信号NT及び信号NBの正論理である出力信号OT及び出力信号OBを出力する。信号NTが"High"レベル、信号NBが"Low"レベルである、即ち、信号NTの電位は $V_{DD} - V_T$ であり、信号NBの電位は $V_{SS}$ であるとする。入力端子21は"High"レベルになり、入力端子22は"Low"レベルになる。ゲートに入力端子22が接続されているPチャネルMOSFET 25はオン状態になり、PチャネルMOSFET 25は、出力端子29を電源電位 $V_{DD}$ にプルアップする。出力端子29から出力される出力信号OTは、信号NTと同じく"High"レベルになる。一方、ゲートに入力端子21が接続されているPチャネルMOSFET 26はオフ状態になる。PチャネルMOSFET 26のドレインに接続されている出力端子30には、入力端子22から、常にオン状態であるNチャネルMOSFET 27を介して"Low"レベルの電位が供給される。出力端子30が出力する出力信号OBは、信号NBと同じく"Low"レベルになる。信号NTが"Low"レベル、信号NBが"High"レベルである場合、差動出力回路2は、上記の動作と相補である動作を行う。このように、差動出力回路2は、信号NT及び信号NBの正論理を、それぞれ、出力信号OT及び出力信号OBとして出力する。

#### 【0027】

出力信号OT及び出力信号OBのプルアップには、PチャネルMOSトランジスタ25、及び26が使用されているが、差動出力回路2の動作の高速性は損な



われない。これは、出力信号OT及び出力信号OBのプルアップが、PチャネルMOSトランジスタ25、及び26に加え、信号NT及び信号NBをそれぞれプルアップするトランジスタ（即ち、Nチャネルトランジスタ11、13）によって行われるためである。このような動作は、差動出力回路2の動作の高速性を有効に維持する。

## 【0028】

更に、本実施の形態では、出力端子29と出力端子30との間に抵抗素子31が介設されていることにより、差動出力回路2の周波数帯域が広げられている。抵抗素子31が出力端子29と出力端子30との間に接続されることにより、出力端子29、30から入力端子21、22に負帰還がかかっている。例えば、出力端子29の電位が上昇すると、抵抗素子31を通じて出力端子30の電位が上昇する。出力端子30の電位の上昇により、NチャネルMOSFET24を介して出力端子30に接続されている入力端子22の電位も上昇する。入力端子22の電位の上昇により、PチャネルMOSFET25のゲートの電位が上昇し、PチャネルMOSFET25のドレインに接続された出力端子29の電位は下がる。逆に、出力端子30の電位が上昇すると、抵抗素子31を通じて出力端子29の電位が上昇し、入力端子21の電位が上昇し、入力端子21の電位の上昇によってPチャネルMOSFET25のゲートの電位が上昇し、PチャネルMOSFET25のドレインに接続された出力端子29の電位は下がる。このように、出力端子29、30から入力端子21、22に負帰還がかかるため、差動出力回路2のゲインは負帰還の帰還率によって支配され、差動出力回路2のゲインの信号NT、NBの周波数への依存性が小さくなる。このため、差動出力回路2の周波数帯域は広くなる。

## 【0029】

図7は、本実施の形態の差動出力回路2の周波数特性と、図8に示された公知の差動出力回路102の周波数特性とを示すグラフである。図7のグラフの縦軸は、差動出力回路のゲインを示し、横軸は、周波数を示している。曲線41は、差動出力回路2の周波数特性を示し、曲線44は、公知の差動出力回路102の周波数特性を示している。これらの周波数特性は、SPICEによるシミュレー

ションによって得られている。本実施の形態の差動出力回路 2 は、負帰還がかかっているためそのゲインは低い。しかし、本実施の形態の差動出力回路 2 は、周波数特性において優れている。回路の遮断周波数は、一般に、ゲインが低周波ゲインよりも 3 dB だけ減少する周波数で定義されるが、図 7 のグラフから明らかであるように、差動出力回路 2 の遮断周波数は、公知の差動出力回路 102 の遮断周波数よりも高い。これは、本実施の形態の差動出力回路 2 は、周波数帯域が広がることを示している。

#### 【0030】

以上に説明されているように、本実施の形態の差動出力回路 2 は、出力端子 29 と出力端子 30 との間に介設された抵抗素子 31 の作用により、広い周波数帯域を有している。これにより、本実施の形態の差動出力回路 2 は、一層に高速に動作可能である。

#### 【0031】

本実施の形態において、信号 NT と、その否定論理である信号 NB とを供給する他の論理回路が、バッファ回路である論理回路 1 の代わりに使用され得ることは明らかである。例えば、図 2 に示されているように、N チャネル MOSFET 45 ~ 60 で構成される論理回路 1' が論理回路 1 の代わりに使用され得る。論理回路 1' は、互いに相補である 1 対の入力信号 IOT, IOB と、互いに相補である 1 対の入力信号 I1T, I1B とが供給され、これら信号対のいずれかを信号 NT, NB として出力するセクタ回路である。論理回路 1' は、互いに相補であるセクタ信号 ISLT, ISLB が供給される。論理回路 1' は、セクタ信号 ISLT が "Low" レベル、セクタ信号 ISLB が "High" レベルであるとき、入力信号 IOT, IOB を、それぞれ信号 NT, 及び信号 NB として出力し、セクタ信号 ISLT が "High" レベル、セクタ信号 ISLB が "Low" レベルであるとき、入力信号 I1T, I1B を、それぞれ信号 NT, 及び信号 NB として出力する。更に例えば、図 3 に示されているように、N チャネル MOSFET 61 ~ 72 で構成される論理回路 1" が論理回路 1 の代わりに使用され得る。論理回路 1" は、互いに相補であるクロック信号 ICT, ICB に同期して、互いに相補である入力信号 IT, IB をラッチするラッチ回

路である。

### 【0032】

#### (実施の第2形態)

図4は、本発明による差動出力回路の実施の第2形態を示す。実施の第2形態では、抵抗素子31と出力端子29との間に誘導素子(コイル)32が挿入され、抵抗素子31と出力端子30との間に、誘導素子33が挿入される。即ち、出力端子29と出力端子30との間には、誘導素子32、抵抗素子31、及び誘導素子33とが直列に接続されている。誘導素子32と誘導素子33とのインダクタンスは、実質的に同一である。誘導素子32と誘導素子33とが挿入された実施の第2形態の差動出力回路は、以後、差動出力回路2'と記述される。

### 【0033】

実施の第2形態の差動出力回路2'は、実施の第1形態の差動出力回路2と同様に、出力端子29と出力端子30との間に抵抗素子31、誘導素子32及び誘導素子33が挿入されることによって出力端子29、30から入力端子21、22に負帰還が施され、周波数帯域が拡大されている。

### 【0034】

更に、実施の第2形態では、誘導素子32及び誘導素子33が挿入されることにより、差動出力回路2'の周波数帯域が一層に拡大されている。差動出力回路2の高周波領域におけるゲインの減少は、差動出力回路2の出力端子29、30に接続される後段回路の入力容量、出力端子29、30と該後段回路とを接続する配線の容量、出力端子29、30の寄生容量等からなる負荷容量に起因する。誘導素子32及び誘導素子33は、この負荷容量をキャンセルし、差動出力回路2の周波数帯域を一層に広くする。

### 【0035】

図7の曲線42は、誘導素子32及び誘導素子33が挿入された、実施の第2形態の差動出力回路2'の周波数特性を示している。実施の第2形態の差動出力回路2'の周波数特性は、SPICEによるシミュレーションによって得られている。図7のグラフは、誘導素子32及び誘導素子33が挿入された、実施の第2形態の差動出力回路2'は、図8の公知の差動出力回路102及び実施の第1

形態の差動出力回路 2 よりも遮断周波数が高く、周波数帯域が広いことを示している。

## 【0036】

実施の第2形態において、出力端子 29 と出力端子 30 との間には、他の形態によって抵抗素子と誘導素子とが直列に接続され得る。例えば、図 5 に示されているように、出力端子 29 と出力端子 30 との間に、抵抗素子 34 と、誘導素子 35 と、抵抗素子 34 と同一の抵抗を有する抵抗素子 36 が直列に接続されることが可能であり、また、一の抵抗素子と一の誘導素子とが出力端子 29 と出力端子 30 との間に接続されることが可能である。

## 【0037】

出力端子 29 と出力端子 30 との間に介設される抵抗素子と誘導素子とは、対称的に接続されることが好適である。例えば、図 4 の差動出力回路 2' では、抵抗素子 31 の一の端子と出力端子 29 との間に誘導素子 32 が接続され、抵抗素子 31 の一の端子と出力端子 30 との間に、誘導素子 32 と同一のインダクタンスを有する誘導素子 33 が接続され、抵抗素子 31 と誘導素子 32, 33 は、出力端子 29 と出力端子 30 とに対して対称的に接続されている。更に、図 5 の差動出力回路 2' では、誘導素子 35 の一の端子と出力端子 29 との間に抵抗素子 34 が接続され、誘導素子 35 の一の端子と出力端子 30 との間に、抵抗素子 34 と同一の抵抗を有する抵抗素子 36 が接続され、抵抗素子 34, 36 と誘導素子 35 とは、出力端子 29 と出力端子 30 とに対して対称的に接続されている。このように、出力端子 29 と出力端子 30 との間に介設される抵抗素子と誘導素子とが対称的に接続されることは、出力端子 29 と出力端子 30 とからそれぞれ出力される出力信号 OT, OB の対称性を高め、出力端子 29 と出力端子 30 とに接続される後段回路の動作の信頼性を効果的に向上する。

## 【0038】

また、実施の第2形態においても実施の第1形態と同様に、信号 NT と、その否定論理である信号 NB とを供給する他の論理回路が、バッファ回路である論理回路 1 の代わりに使用され得ることは明らかである。

## 【0039】

## (実施の第3形態)

図6は、本発明による差動出力回路の実施の第3形態を示す。実施の第3形態では、実施の第1形態の差動出力回路2の抵抗素子31が、誘導素子37に置換されている。即ち、実施の第3形態では、出力端子29と出力端子30との間に、誘導素子37が接続されている。誘導素子37は、他の素子を介さずに直接に出力端子29及び出力端子30に接続されている。抵抗素子31の代わりに誘導素子37が使用される実施の第3形態の差動出力回路は、以下、差動出力回路2”と記述される。

## 【0040】

図7の曲線43は、実施の第3形態の差動出力回路2”の周波数特性を示している。実施の第3形態の差動出力回路2”は、出力端子29、30の負荷容量と誘導素子37とが共振する共振周波数において、ゲインのピークを有する。出力端子29、30の間に抵抗素子が挿入されていないため、ゲインの最大値は、実施の第2形態の差動出力回路2’よりも大きい。差動出力回路2”の低周波ゲインは小さい。

## 【0041】

このような周波数特性を有する差動出力回路2”は、高い周波数を有する周期信号、例えば、高周波クロック信号及び高周波正弦波信号の増幅に好適である。図6に示された論理回路1の入力信号IT、IBとして、互いに相補であるクロック信号を入力することにより、差動出力回路2”に相補であるクロック信号を供給することが可能である。更に、入力信号IT、IBとして、互いに $\pi$ だけ位相が異なる正弦波信号を入力することにより、差動出力回路2”に $\pi$ だけ位相が異なる正弦波信号を供給することが可能である。差動出力回路2”に供給される周期信号の周波数を上述の共振周波数に実質的に一致させることにより、該周期信号を好適に増幅することができる。

## 【0042】

## 【発明の効果】

本発明により、周波数帯域幅が広い差動出力回路が提供される。

## 【0043】

また、本発明により、高い周波数で動作可能な差動出力回路が提供される。

【図面の簡単な説明】

【図 1】

図 1 は、本発明による差動出力回路の実施の第 1 形態を示す。

【図 2】

図 2 は、実施の第 1 形態の差動出力回路の変形例を示す。

【図 3】

図 3 は、実施の第 1 形態の差動出力回路の他の変形例を示す。

【図 4】

図 4 は、本発明による差動出力回路の実施の第 2 形態を示す。

【図 5】

図 5 は、実施の第 2 形態の差動出力回路の変形例を示す。

【図 6】

図 6 は、本発明による差動出力回路の実施の第 3 形態を示す。

【図 7】

図 7 は、実施の第 1 形態乃至第 3 形態の差動出力回路、及び従来の差動出力回路の周波数特性を示す。

【図 8】

図 8 は、従来の差動出力回路を示す。

【符号の説明】

1, 1', 1'' : 論理回路

2, 2', 2'' : 差動出力回路

11 ~ 14, 45 ~ 72 : Nチャネル MOSFET

15, 17 : 電源端子

16, 18 : 接地端子

21, 22 : 入力端子

23, 24 : Nチャネル MOSFET

25, 26 : Pチャネル MOSFET

27, 28 : 電源端子

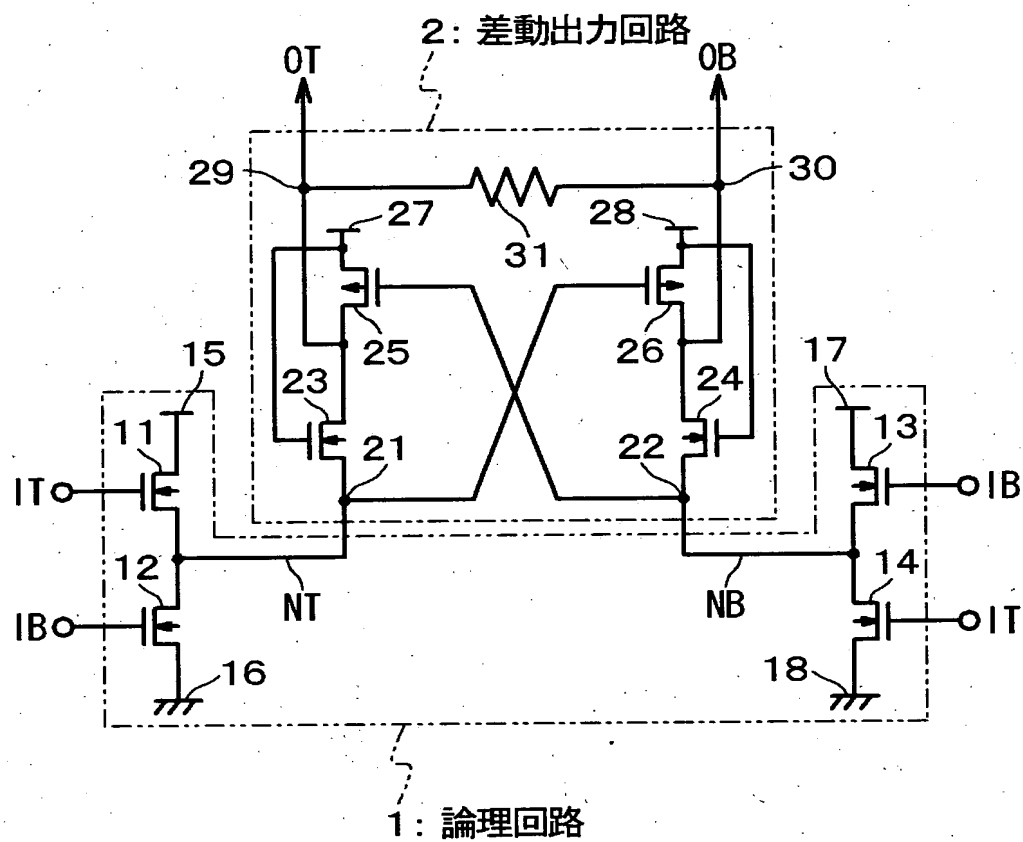
2 9 , 3 0 : 出力端子

3 1 , 3 4 , 3 6 : 抵抗素子

3 2 , 3 3 , 3 5 : 誘導素子

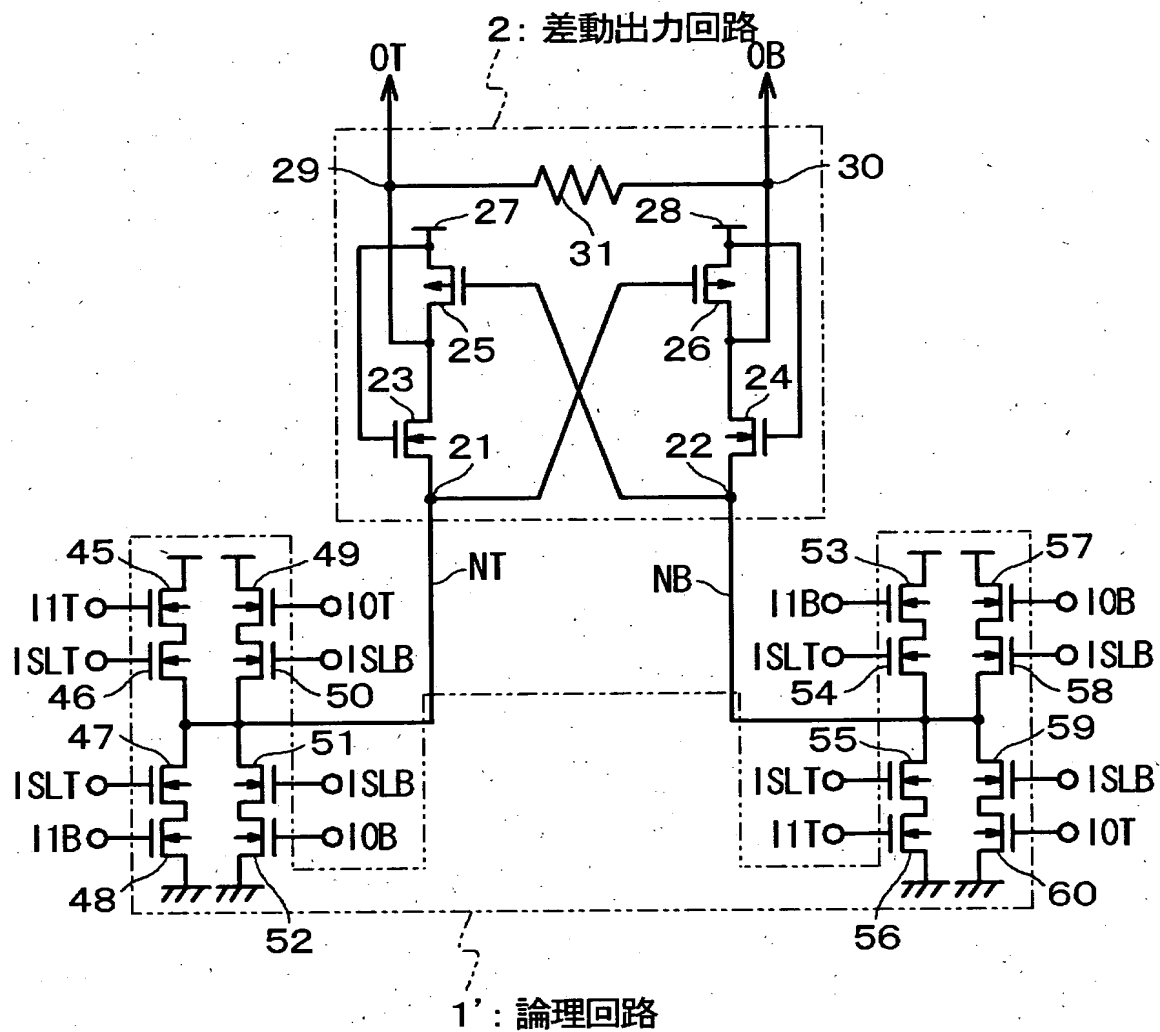
【書類名】 図面

【図 1】

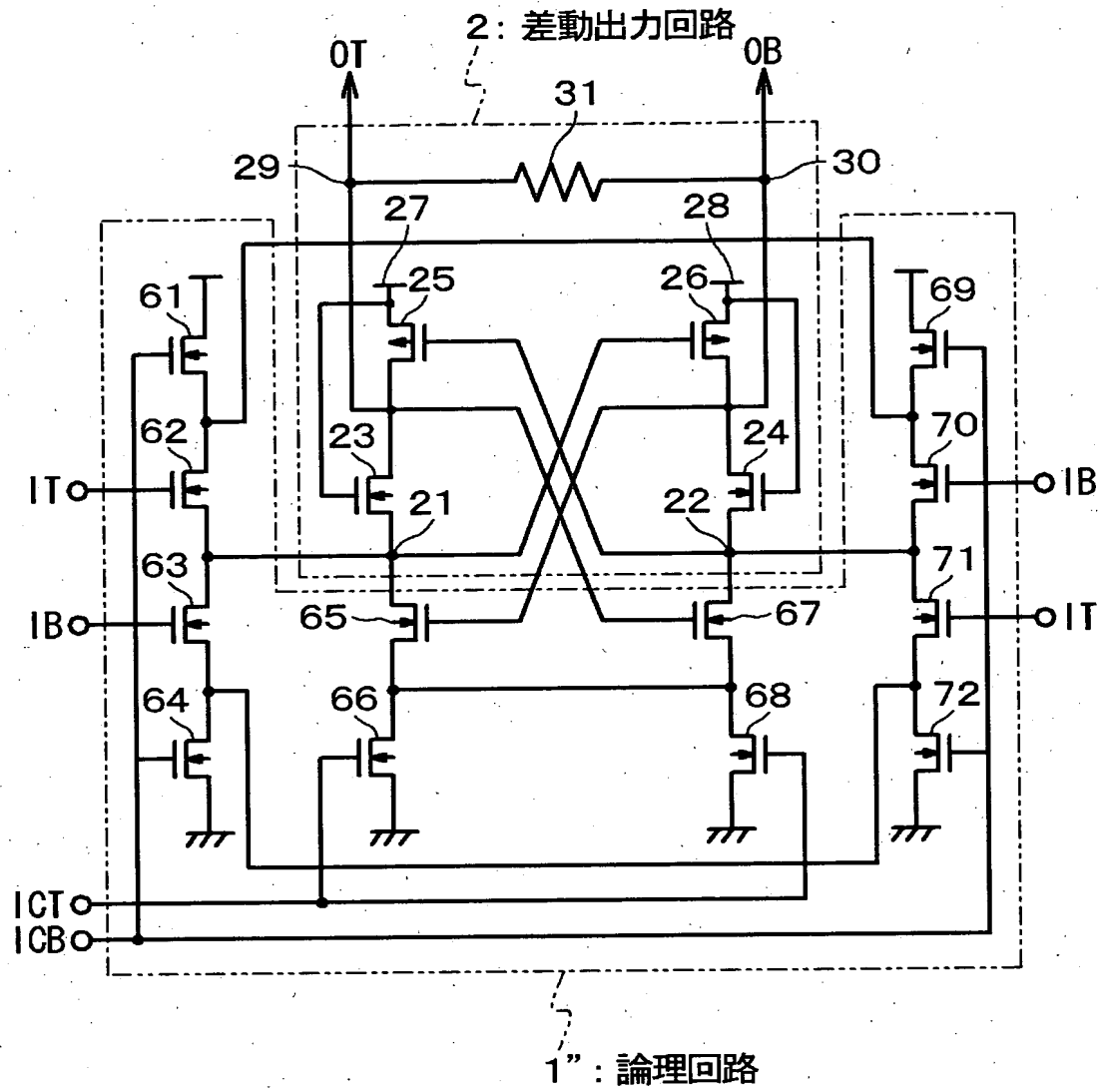




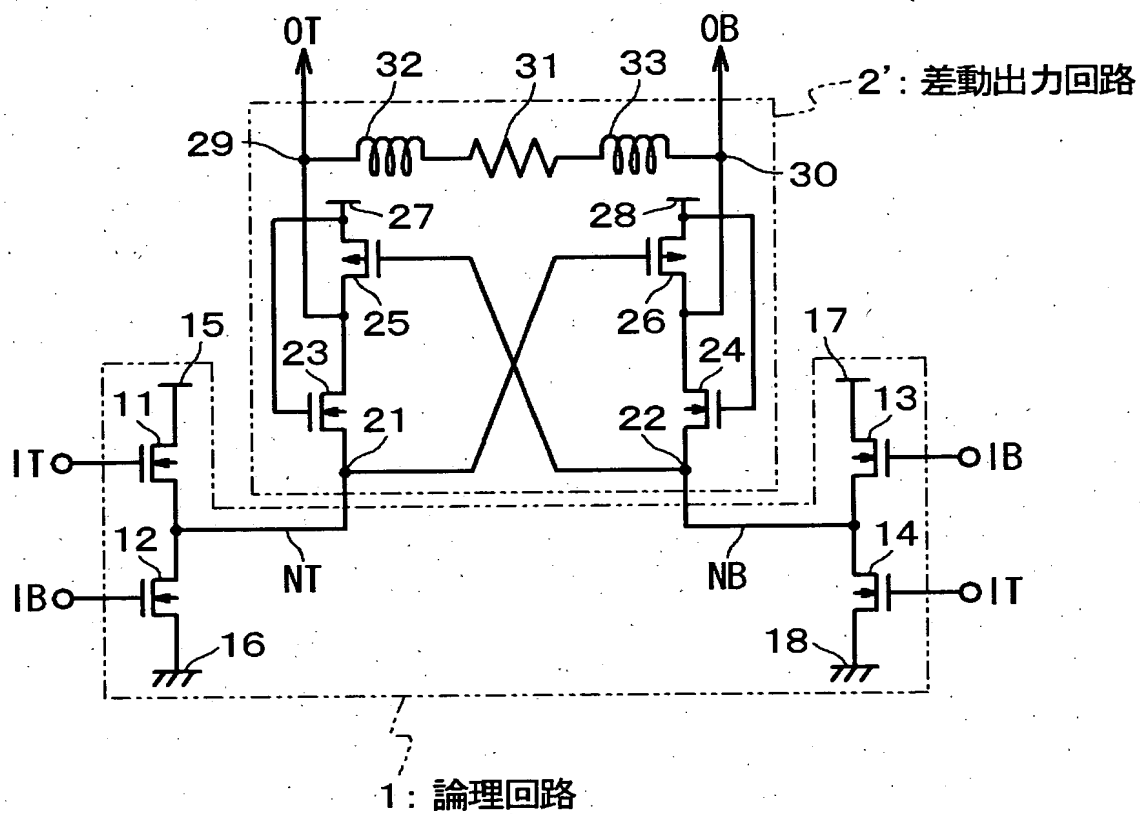
【図 2】



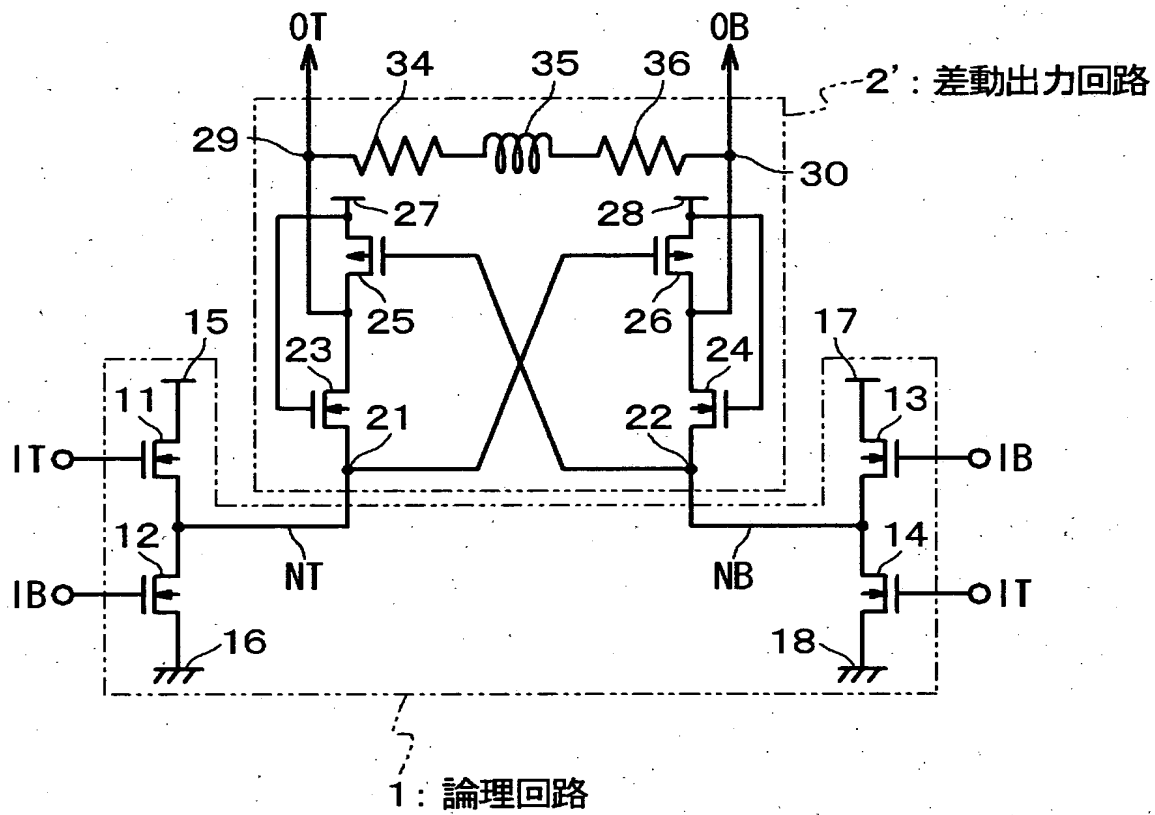
【図3】



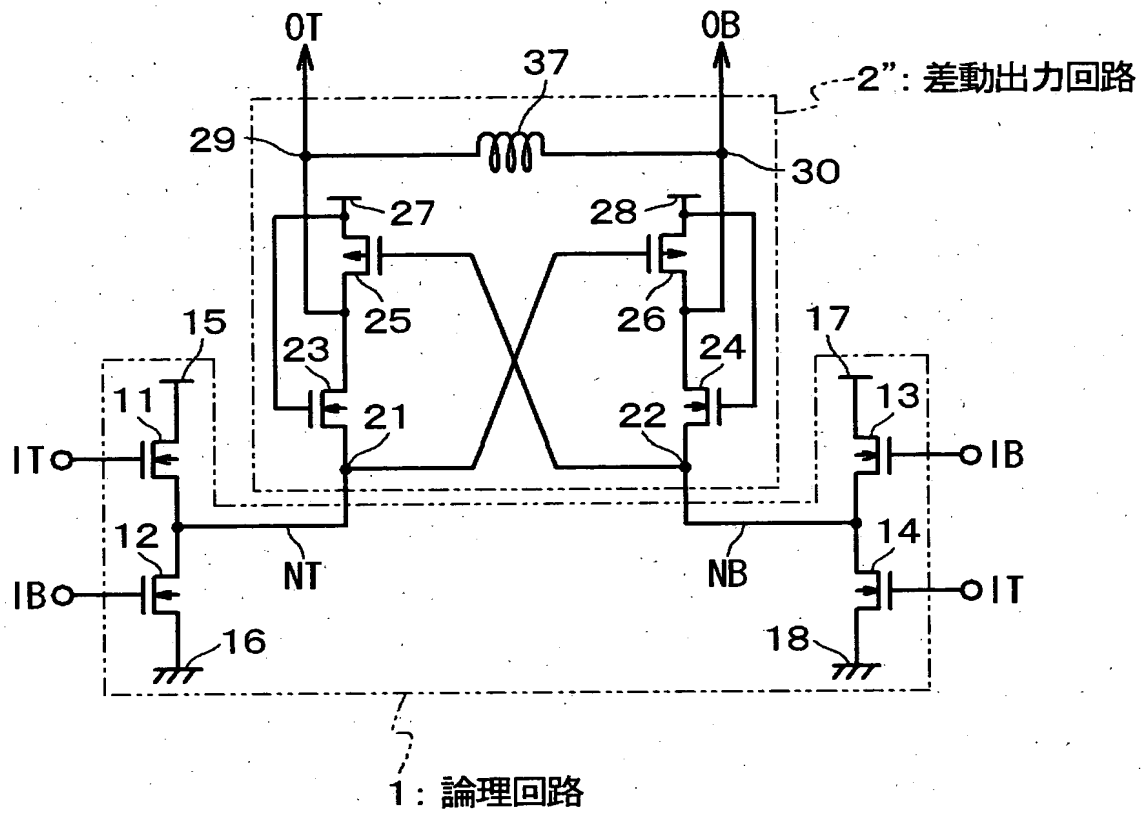
【図 4】



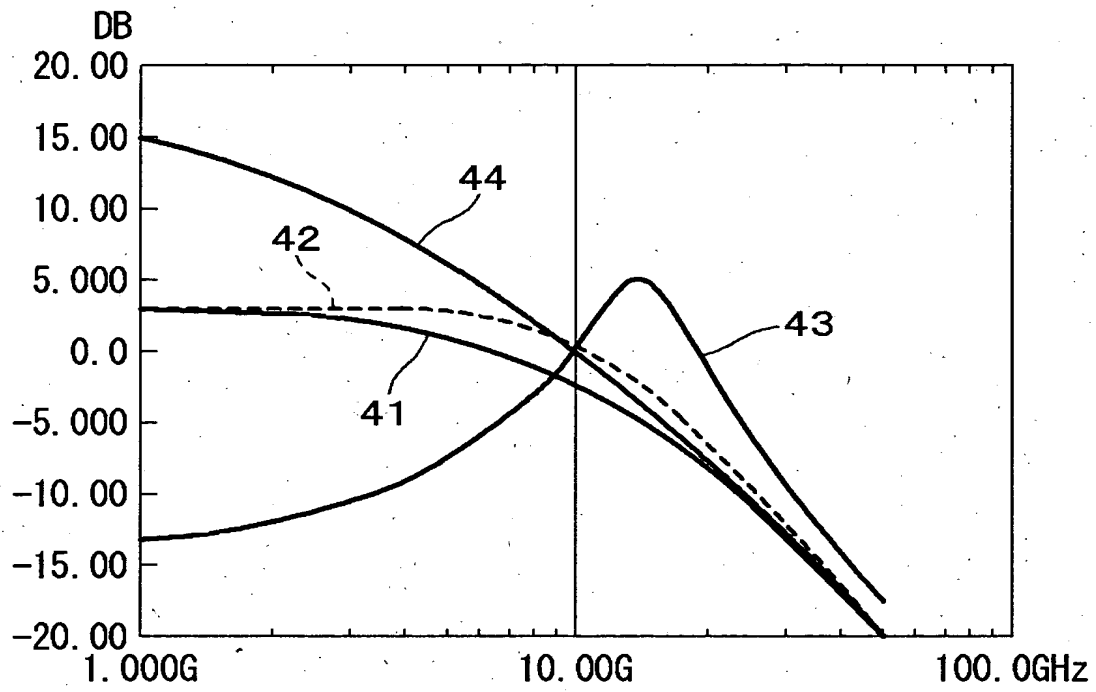
【図 5】



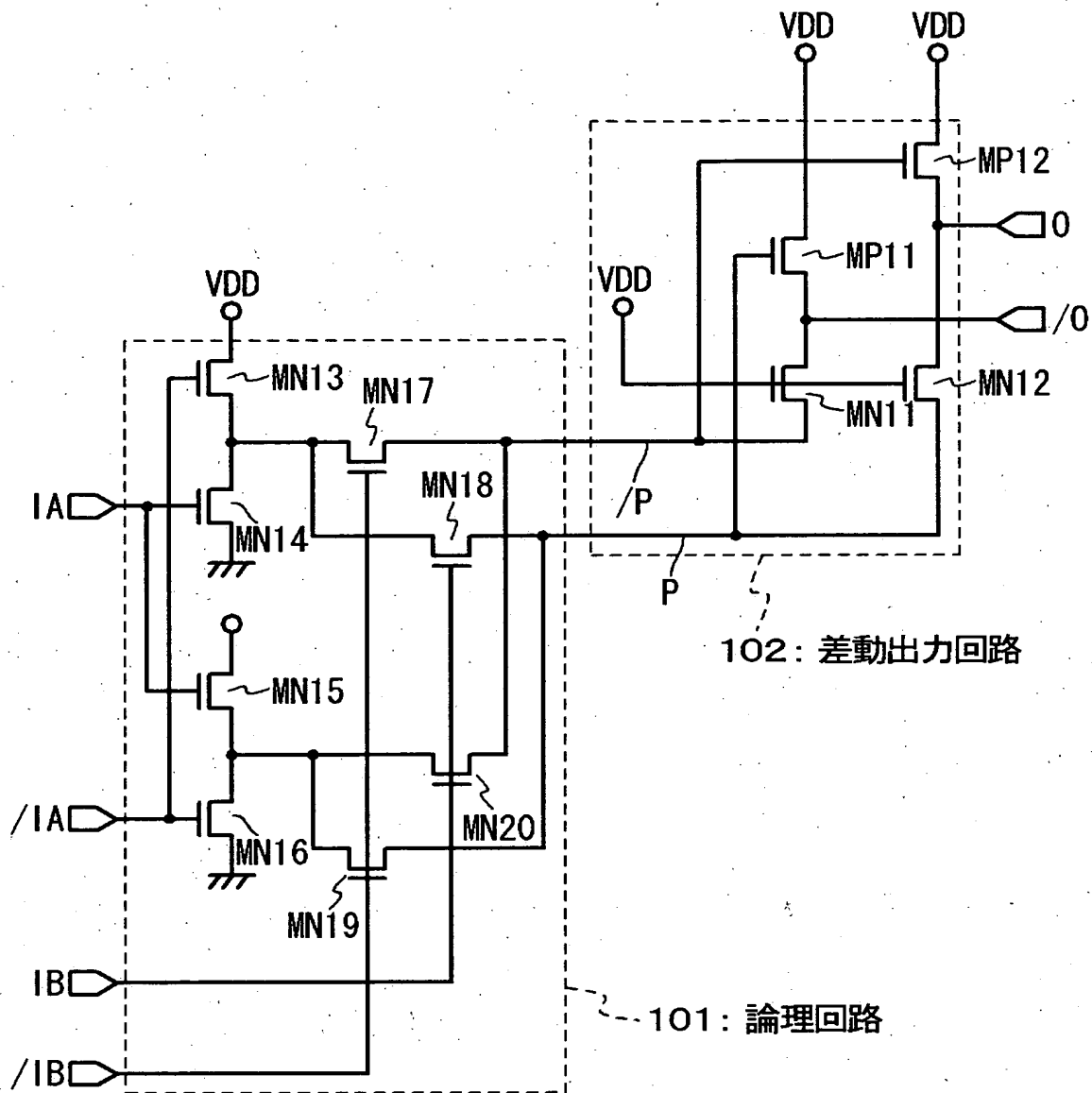
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 周波数帯域幅が広い差動出力回路を提供する。

【解決手段】 本発明による差動出力回路(2)は、第1入力信号(NT)が入力される第1入力端子(21)と、第1入力信号(NT)の否定論理である第2入力信号(NB)が入力される第2入力端子(22)と、第1NチャンネルMISFET(23)と、第2NチャンネルMISFET(24)と、第1PチャンネルMISFET(25)と、第2PチャンネルMISFET(26)と、第1出力端子(29)と、第2出力端子(30)と、第1出力端子(29)と第2出力端子(30)の間に介設された抵抗素子(31)とを備えている。第1NチャンネルMISFET(23)のソースは、第1入力端子(21)に接続され、第1NチャンネルMISFET(23)のゲートには、電源電位( $V_{DD}$ )が供給され、第1NチャンネルMISFET(23)のドレインは、第1出力端子(29)に接続されている。第2NチャンネルMISFET(24)のソースは、第2入力端子(22)に接続され、第2NチャンネルMISFET(24)のゲートには、電源電位( $V_{DD}$ )が供給され、第2NチャンネルMISFET(24)のドレインは、第2出力端子(30)に接続されている。第1PチャンネルMISFET(25)と第2PチャンネルMISFET(26)のソースには、いずれも、電源電位( $V_{DD}$ )が供給されている。第1PチャンネルMISFET(25)のゲートは、第2入力端子(22)に接続され、第1PチャンネルMISFET(25)のドレインは、第1出力端子(29)に接続されている。第2PチャンネルMISFET(26)のゲートは、第1入力端子(21)に接続され、第2PチャンネルMISFET(26)のドレインは、第2出力端子(30)に接続されている。

【選択図】 図1



【書類名】 出願人名義変更届（一般承継）  
【提出日】 平成15年 1月23日  
【あて先】 特許庁長官 殿  
【事件の表示】  
    【出願番号】 特願2002-287929  
【承継人】  
    【識別番号】 302062931  
    【氏名又は名称】 N E Cエレクトロニクス株式会社  
【承継人代理人】  
    【識別番号】 100102864  
    【弁理士】  
    【氏名又は名称】 工藤 実  
【提出物件の目録】  
    【物件名】 登記簿謄本 1  
    【援用の表示】 平成15年1月10日提出の出願人名義変更届（一般承継）特願2002-318488に添付したものを援用する。  
    【物件名】 承継証明書 1  
    【援用の表示】 平成15年1月23日提出の出願人名義変更届（一般承継）平成10年特許願第297151に添付したものを援用する。  
    【包括委任状番号】 0216502  
【ブルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 東京都港区芝五丁目7番1号  
氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日  
[変更理由] 新規登録  
住 所 神奈川県川崎市中原区下沼部1753番地  
氏 名 NECエレクトロニクス株式会社